

# **Semiconductor substrate used for vertical integration of integrated circuits comprises a first conductor strip on its front side, and a region formed by insulating trenches and electrically insulated from the substrate**

**Publication number:** DE10205026 (C1)

**Publication date:** 2003-05-28

**Inventor(s):** FISCHER FRANK [DE]; GRAF ECKHARD [DE]

**Applicant(s):** BOSCH GMBH ROBERT [DE]

**Classification:**


**- international:** *H01L21/768; H01L23/48; H01L23/485; H01L25/065; H01L21/70; H01L23/48; H01L25/065; (IPC1-7): H01L23/50; H01L21/283; H01L21/768; H01L23/12; H01L23/538; H01L25/065*

**- European:** H01L21/768T; H01L23/48J; H01L23/485A; H01L25/065S

**Application number:** DE20021005026 20020207


**Priority number(s):** DE20021005026 20020207


**Also published as:**


 WO03067646 (A2)


 WO03067646 (A3)

**Cited documents:**

 DE19954895 (A1)

 US5646067 (A)

 US5529950 (A)

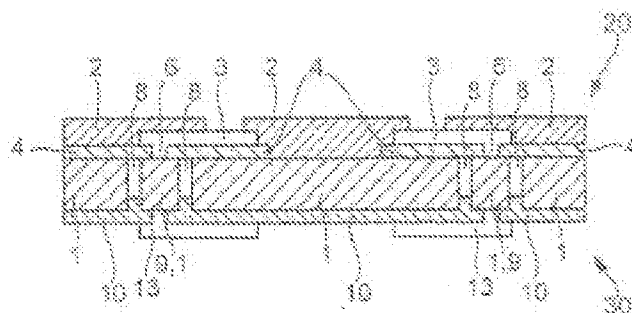
 US5455445 (A)

 US4897708 (A)

[more >>](#)

## **Abstract of DE 10205026 (C1)**

Semiconductor substrate comprises a first conductor strip (3) on its front side (20); and a region (9) made from semiconductor material and electrically insulated from the substrate formed by insulating trenches (8). The conductor strip is electrically contacted with the rear side of the substrate via the region. Preferred Features: An integrated circuit (2) is provided in the region of the front side of the substrate and is in contact with a wiring surface. The region (9) is made from an electrically conducting semiconductor material, especially doped silicon, and has a circular, elliptical, rectangular or square cross-section.



Data supplied from the **esp@cenet** database — Worldwide



19 **BUNDESREPUBLIK  
DEUTSCHLAND**



**DEUTSCHES  
PATENT- UND  
MARKENAMT**

12 **Patentschrift**  
10 **DE 102 05 026 C 1**

51 Int. Cl.<sup>7</sup>:  
**H 01 L 23/50**  
H 01 L 25/065  
H 01 L 23/12  
H 01 L 21/283  
H 01 L 23/538  
H 01 L 21/768

21 Aktenzeichen: 102 05 026.0-33  
22 Anmeldetag: 7. 2. 2002  
43 Offenlegungstag: –  
45 Veröffentlichungstag  
der Patenterteilung: 28. 5. 2003

**DE 102 05 026 C 1**

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden

73 **Patentinhaber:**  
Robert Bosch GmbH, 70469 Stuttgart, DE

72 **Erfinder:**  
Fischer, Frank, 72810 Gomaringen, DE; Graf,  
Eckhard, 72810 Gomaringen, DE

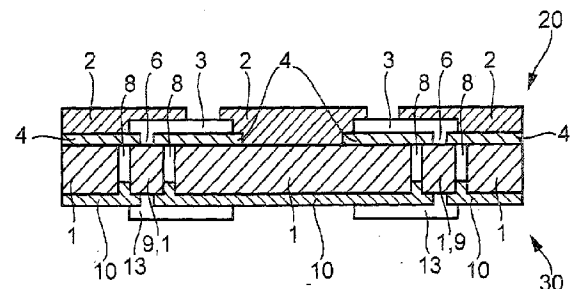
56 Für die Beurteilung der Patentfähigkeit in Betracht  
gezogene Druckschriften:

DE 199 54 895 A1  
US 56 46 067  
US 55 29 950  
US 54 55 445  
US 48 97 708  
WO 84 01 240 A1

KADA, M. and SMITH, L.: Stacking up on the  
memory, in: Back-End Supplement, July 2000,  
pp. S-79 bis S-80;  
LI, X. et. al.: High Density Electrical Feed  
through Fabricated by Deep Reactive Ion Etching  
of Pyrex Glass, in: MEMS 2001, IEEE Conference,  
pp. 98-101;

54 **Halbleitersubstrat mit einem elektrisch isolierten Bereich, insbesondere zur Vertikalintegration**

57 Es wird ein Halbleitersubstrat (1) mit mindestens einer  
auf dessen Vorderseite (20) verlaufenden ersten Leiter-  
bahn (3) vorgeschlagen, wobei aus dem Halbleitersub-  
strat (1) mittels mindestens eines Isolationsgrabens (8)  
mindestens ein gegenüber dem übrigen Halbleitersub-  
strat (1) elektrisch isolierter, zumindest im Wesentlichen  
aus dem Halbleitermaterial bestehender Bereich (9)  
herausstrukturiert ist, über den die erste Leiterbahn (3) von  
der Rückseite (30) des Halbleitersubstrates (1) elektrisch  
kontaktierbar ist. Das vorgeschlagene Halbleitersubstrat  
(1) eignet sich insbesondere zur vertikalen Integration von  
integrierten Schaltungen (2) mit einem weiteren, auf dem  
Halbleitersubstrat (1) angebrachten Chip, integrierten  
Schaltkreis, Sensorelement, Speicherelement oder einer  
aktiven ASIC-Baugruppe, beispielsweise über eine so-  
genannte Flip-Chip Chip-to-Chip-Montage.



**DE 102 05 026 C 1**

## Beschreibung

[0001] Die Erfindung betrifft ein Halbleitersubstrat mit einem elektrisch isolierten Bereich, das sich insbesondere zur vertikalen Integration von integrierten Schaltungen mit einem weiteren elektronischen Bauelement, beispielsweise einem Chip, Schaltkreis, Sensorelement oder Speicherelement, eignet, nach der Gattung des Hauptanspruchs.

## Stand der Technik

[0002] In der IC-Technologie erlangt die vertikale oder dreidimensionale Integration funktioneller Systemkomponenten eine zunehmende Bedeutung, da steigende Packungsdichten und zunehmende Funktionsanforderungen eine monolithische Integration ("System-on-Chip") von Speicherbauelementen, aktiven ASIC-Baugruppen ("ASIC" = Application Specific Integrated Circuit), Sensorbauelementen, Speicherelementen oder sogenannten "highpower devices" bzw. Leistungshalbleitern wie Dioden oder Hoch-Volt-Transistoren vielfach unmöglich machen.

[0003] Eine beispielsweise aus M. Kada und L. Smith, "Stacking on the Memory", Back-End supplement, Juli 2000, Seite S-79 und S-80, bekannte Entwicklungsrichtung geht hier zur Systemintegration im Gehäuse ("System-in-Package"), bei der ASIC's über "Chip-to-Chip-Bonden" mit Speicherbausteinen oder Sensorbauelementen elektrisch verbunden und gemeinsam in einem Gehäuse verpackt werden.

[0004] Insbesondere werden bei derartigen Verfahren die Chips einzelner Systemkomponenten im "Huckepack" miteinander verbunden ("Stacked-Chip-Package"), wobei sie elektrisch beispielsweise über ein sogenanntes "Flip-Chip Chip-to-Chip-Bonden" verbunden und in einem Plastikgehäuse eingebettet werden. Gerade diese Technik ermöglicht einen dreidimensionalen Aufbau der einzelnen Systemkomponenten, da die einzelnen Chipebenen nahezu beliebig übereinander angeordnet werden können.

[0005] Bei allen genannten Techniken ist zur Realisierung des gewünschten dreidimensionalen oder vertikalen Aufbaus eine vertikale Durchkontaktierung ("Via-Kontakt") der eingesetzten Halbleitersubstrate erforderlich, um beispielsweise die Oberseite eines Basischips wie eines ASIC's mit der Rückseite eines weiteren Chips oder eines darüber befindlichen weiteren Halbleitersubstrates kontaktieren zu können. Durch die vertikale Durchkontaktierung wird somit die Rückseite einer oberen Chiplage mit der Vorderseite einer unteren Chiplage verbunden, wobei sich auf einem dieser Chips dann ein oder mehrere weitere Bauelemente, beispielsweise ein Sensorelement, befindet. Diese Stapelung kann dann weiter fortgesetzt werden, so dass man insgesamt eine dreidimensionale "System-in-Package" Architektur erreicht.

[0006] Die Herstellung eines Via-Kontaktes wird beispielsweise in X. Li, T. Abe, Y. Liu und M. Esashi, "High Density Electrical Feedthrough Fabricated by Deep Reactive Ion Etching of Pyrex Glass", The 14th International Conference on MEMS 2001, Interlaken, Schweiz, Seite 98ff., erläutert. Im Einzelnen werden dort in einen Substratwafer zunächst Durchgangslöcher eingeätzt, die erzeugten Seitenwände der Durchgangslöcher danach mit einem isolierenden Film, beispielsweise einem Oxidfilm, überzogen, und danach das verbleibende Loch mit einem Metall wie Wolfram oder Nickel ausgefüllt, so dass eine leitfähige Verbindung von der Rückseite des Substratwafers zu dessen Vorderseite entsteht. Diese Technik eignet sich sowohl zur Herstellung eines Via-Kontaktes vor der Herstellung der eigentlichen  $\mu$ C-Komponenten als auch zu dessen Herstellung

erst nach Prozessierung und Passivierung einer Auswerterschaltung. Nachteilig bei diesem Verfahren ist jedoch die aufwändige Abscheidung eines Metalls wie Wolfram oder die Gefahr einer Kontamination bei einer Abscheidung eines Metalls wie Nickel.

[0007] Aus DE 199 54 895 A1, US 5,455,445 oder WO 84/01240 A1 ist bekannt, ohne ein Auffüllen von Durchgangslöchern mit einem leitenden Material durch Halbleitersubstrate hindurch verlaufende Vias herzustellen.

10 Im Fall von DE 199 54 895 A1 oder US 5,455,445 werden dabei über eine elektrisch isolierende Struktur in dem Halbleitersubstrat elektrisch isolierte Bereiche definiert.

[0008] In US 5,529,950 und US 5,646,067 wird die Herstellung von Vias in Halbleitersubstraten durch Auffüllen von Poren oder Ausnehmungen mit einem leitfähigen Material beschrieben.

15 [0009] US 4,897,708 schlägt schließlich vor, eine Mehrzahl von mit durchgehenden Ausnehmungen versehene Halbleitersubstrate übereinander anzuordnen, und die Ausnehmungen mit einer elektrisch leitfähigen Flüssigkeit zu füllen.

20 [0010] Aufgabe der Erfindung war die Bereitstellung eines Halbleitersubstrates mit einer vertikalen Durchkontaktierung, die vor oder auch nach der Erzeugung einer integrierten Schaltung auf dem Halbleitersubstrat auf einfache Weise ohne Gefahr einer Kontamination herstellbar ist.

## Vorteile der Erfindung

30 [0011] Das erfindungsgemäße Halbleitersubstrat hat gegenüber dem Stand der Technik den Vorteil, dass zu dessen Herstellung vorzugsweise ausschließlich aus der IC-Technologie bekannte Verfahren wie DRIE ("Deep Reactive Ion Etching") oder eine PECVD-Abscheidung ("Plasma Enhanced Chemical Vapor Deposition") eingesetzt werden können, die keinerlei Kontaminationsrisiko in einer Prozesslinie bedeuten.

[0012] Insbesondere ist vorteilhaft, dass zur Herstellung des elektrisch isolierten Bereiches, d. h. dem "Via-Kontakt", in dem Halbleitermaterial auf ein übliches, anisotropes Plasmaätzverfahren für Silizium zurückgegriffen werden kann, wie dies aus DE 42 41 045 C1 bekannt ist.

[0013] Vorteilhafte Weiterbildungen der Erfindung ergeben sich aus den in den Unteransprüchen genannten Maßnahmen.

45 [0014] So ist besonders vorteilhaft, wenn der elektrisch isolierte Bereich ein von der Rückseite des Halbleitersubstrates in dieses eingeätzter, in Draufsicht kreisförmiger, ellipsenförmiger, rechteckiger oder quadratischer Stempel ist, der bevorzugt aus Silizium besteht.

[0015] Weiter ist vorteilhaft, wenn dieser elektrisch gegenüber dem verbleibenden Halbleitermaterial isolierte Stempel bzw. Bereich von umlaufenden Isolationsgräben umgeben ist, die das Halbleitersubstrat senkrecht von der Rückseite zu der Vorderseite durchqueren.

50 [0016] Daneben ist vorteilhaft, dass bei dem bevorzugt eingesetzten anisotropen Plasmaätzverfahren für Silizium gemäß DE 42 41 045 C1 der Ätzangriff selektiv beispielsweise auf  $\text{SiO}_2$  oder  $\text{Si}_3\text{N}_4$  oder anderen, in der IC-Technologie als Isolationsschicht einsetzbaren Materialien automatisch stoppt, so dass nach der Erzeugung der von der Rückseite des Halbleitersubstrates ausgehenden Isolationsgräben der Ätzangriff auf der der Vorderseite des Halbleitersubstrates befindlichen Isolationsschicht abbricht.

65 [0017] Insgesamt wird damit erreicht, dass der elektrisch isolierte Bereich, der zumindest im Wesentlichen aus dem gleichen Material wie das übrige Halbleitersubstrat besteht, gegenüber diesem einerseits elektrisch isoliert und anderer-

seits per Design an eine auf der Vorderseite des Halbleitersubstrates verlaufende Leiterbahn oder eine dort befindliche Leiterbahnebene anschließbar ist.

[0018] Auf der Rückseite des Halbleitersubstrates wird die durch die eingebrachten Isolationsgräben erzeugte Topographie vorteilhaft mit einer nachfolgend bevorzugt über ein PECVD-Verfahren abgeschiedenen Schicht, beispielsweise einer Oxidschicht, eingeebnet, wie dies in der nicht vorveröffentlichten DE 101 04 868 A1 im Fall der Rückseitenkontaktierung eines diskreten Sensorchips bereits beschrieben ist.

[0019] Vorteilhaft ist weiterhin, dass der erzeugte elektrisch isolierte Bereich sowohl an dessen Vorderseite wie an dessen Rückseite in einfacher Weise mit Leiterbahnen oder Leiterbahnebenen elektrisch leitend verbindbar ist, wobei diese beispielsweise in Form von Metalleiterbahnen, Silizid-Leiterbahnen oder geeigneten dotierten Silizium-Leiterbahnen und vorzugsweise als Teile einer integrierten Schaltung ausgeführt sind. Diese Leiterbahnen dienen weiter bevorzugt als elektrische Verbindungsstellen für ein "Stacked-Chip-Packaging" zu einem weiteren Halbleitersubstrat oder einem Basiswafer mit einem Sensorelement oder einem Speicherelement.

[0020] Durch das Aufbringen der Isolationsschicht und das Einebnen der Topographie auf der Rückseite des Halbleitersubstrates wird daneben vorteilhaft erreicht, dass die Rückseite anschließend mittels Standardverfahren, beispielsweise mit Hilfe üblicher Lithographieverfahren oder Reinigungsprozeduren, weiter bearbeitet werden kann.

[0021] Vorteilhaft ist zudem, wenn die erzeugten Isolationsgräben relativ breit, vorzugsweise mit einer Breite von 2 µm bis 6 µm, ausgebildet sind, so dass unerwünschte parasitäre Kapazitäten gegenüber dem Stand der Technik, der, wie erläutert, eine Isolation durch eine Oxidschicht im Bereich der Via-Kontakte vorsieht, erheblich reduziert werden oder erst gar nicht auftreten.

[0022] Schließlich ist vorteilhaft, dass bei Verwendung eines ausreichend hoch dotierten Halbleiterwafers, beispielsweise eines geeignet dotierten Siliziumwafers, insbesondere im Bereich des elektrisch isolierten Bereiches keine signifikanten Zuleitungswiderstände entstehen, die Bauelementfunktionen unerwünscht beeinträchtigen könnten.

### Zeichnungen

[0023] Die Erfindung wird anhand der Zeichnungen und in der nachfolgenden Beschreibung näher erläutert. Es zeigen **Fig. 1** bis **6** verschiedene Verfahrensschritte zur Herstellung eines elektrisch isolierten Bereiches innerhalb eines Halbleitersubstrates, wobei sich auf diesem Halbleitersubstrat einschichtig eine integrierte Schaltung befindet. **Fig. 7** zeigt die Verbindung eines Basischips mit einem Halbleitersubstrat gemäß **Fig. 6** in Form einer "Huckepack-Montage".

### Ausführungsbeispiele

[0024] Die **Fig. 1** zeigt schematisch eine auf einem elektrisch leitfähigen Halbleitersubstrat **1**, beispielsweise einem dotierten Siliziumwafer, aufbauende, an sich bekannte integrierte Schaltung **2**, wobei bereichsweise auch eine übliche erste Isolationsschicht **4** vorgesehen ist, die beispielsweise aus Siliziumoxid oder Siliziumnitrid besteht. Daneben sind erste Leiterbahnen **3** bzw. eine obere Verdrahtungsebene **3** dargestellt, die in Anschlußbereichen oder Kontaktlöchern **6** mit dem Halbleitersubstrat **1** elektrisch leitend verbunden sind. Die integrierte Schaltung **2** befindet sich gemäß **Fig. 1** auf der Vorderseite **20** des Halbleitersubstrates **1**, während auf der Rückseite **30** des Halbleitersubstrates **1** zunächst

eine geeignet strukturierte Ätzmaskierung **5** aufgebracht ist, die beispielsweise aus Fotolack, einem Oxid, einem Nitrid oder einem anderen, gegenüber einem anisotropen Plasmaätzverfahren, beispielsweise gemäß DE 42 41 045 C1, resistenten Material besteht. Im erläuterten Ausführungsbeispiel ist die Ätzmaskierung derart strukturiert, dass das Halbleitersubstrat **1** über den Anschlußbereichen **6** abgedeckt ist, und ein 2 µm bis 6 µm schmaler Graben **7** rund um den Anschlußbereich **6** verläuft.

[0025] Die **Fig. 2** zeigt einen auf **Fig. 1** folgenden Verfahrensschritt, bei dem mit Hilfe des anisotropen Plasmaätzverfahrens gemäß DE 42 41 045 C1 das elektrisch leitfähige Halbleitersubstrat **1** in den durch die Ätzmaskierung **5** definierten und zugänglich gemachten Bereichen geätzt wird. Dabei stellt sich ein quasi anisotroper Ätzabtrag ein, wodurch senkrechte Isolationsgräben **8** mit steilen Ätzflanken entstehen. Weiter stoppt der Ätzangriff automatisch auf der um die Anschlußbereiche **6** aufgetragenen ersten Isolationsschicht **4**, die somit gleichzeitig als Ätzstoppschicht dient.

[0026] Insgesamt entsteht auf diese Weise ein lateral isolierter Silizium-Stempel bzw. allgemein ein elektrisch isolierter Bereich **9**, der im erläuterten Beispiel aus dem gleichen Material wie das verbleibende Halbleitersubstrat **1** besteht, diesem gegenüber jedoch über die Isolationsgräben **8** elektrisch isoliert ist. Im erläuterten Beispiel ist der elektrisch isolierte Bereich **9** in rückseitiger Draufsicht kreisförmig ausgestaltet, er kann jedoch auch rechteckig, ellipsenförmig oder quadratisch sein oder jede andere Form aufweisen.

[0027] In **Fig. 2** ist zudem dargestellt, dass nach dem Erzeugen der Isolationsgräben **8** die zunächst auf der Rückseite **30** aufgetragene Ätzmaskierung **5** wieder entfernt worden ist. Es sei jedoch betont, dass die Ätzmaskierung **5** in einer alternativen Verfahrensvariante für den nächsten Verfahrensschritt gemäß **Fig. 3** zunächst auch beibehalten werden kann.

[0028] In **Fig. 3** wird in Weiterführung von **Fig. 2** nach einem Entfernen der Ätzmaskierung **5** und dem Erzeugen der Isolationsgräben **8** vorzugsweise mit Hilfe eines PECVD-Verfahrens eine 3 µm bis 8 µm dicke Oxidschicht als zweite Isolationsschicht **10** auf der Rückseite **30** des Halbleitersubstrates **1** abgeschieden. Bei dem PECVD-Verfahren ist die mittlere freie Weglänge der Komponenten in dem eingesetzten Plasma bevorzugt klein ist gegenüber der Weite der Isolationsgräben **8**, so dass es bei einer ausreichenden Dicke der Isolationsschicht **10** und mittels sogenannter "cupping-Effekte" sowie Abschattungseffekte zu einem Verschluss der Isolationsgräben **8** im Bereich von deren unterem Ende **12** unter gleichzeitiger Lünebnung der Topographie des Isolationsgrabens **8** kommt. Die zweite Isolationsschicht **10** verschließt somit einerseits auf der Rückseite **30** des Halbleitersubstrates **1** die Isolationsgräben **8** und führt andererseits zu einer zumindest weitgehenden Planarisierung der Rückseite **30** des Halbleitersubstrates **1**. Anschließend wird dann, wie in **Fig. 3** ebenfalls dargestellt, die zweite Isolationsschicht **10** im Bereich von ersten Ausnehmungen **11**, die als Kontaktfenster dienen, wieder geöffnet, wobei sich diese erste Ausnehmungen **11** im Bereich des sich darunter befindlichen elektrisch isolierten Bereiches **9** befinden.

[0029] Die **Fig. 4** zeigt in einem weiteren Verfahrensschritt wie auf der Rückseite **30** des Halbleitersubstrates **1** auf der oberen Oxidschicht bzw. zweiten Isolationsschicht **10** bereichsweise zweite Leiterbahnen **13** erzeugt werden, die beispielsweise eine untere Verdrahtungsebene definieren. Diese zweite Leiterbahnen **13** sind derart strukturiert, dass Teile von Ihnen später als Kontaktstelle für eine elektrische Verbindung zu einem ersten Chip **17**, insbesondere mittels Flip-Chip-Montage, dienen können.

[0030] Die zweiten Leiterbahnen **13** sind über die von Ihnen gefüllten ersten Ausnehmungen **11** elektrisch leitend mit dem elektrisch isolierten Bereich **9** verbunden, so dass jeweils eine elektrisch leitende Verbindung einer zweiten Leiterbahn **13** mit einer auf der Vorderseite **20** des Halbleitersubstrates **1** befindlichen zugeordneten ersten Leiterbahn **3** gegeben ist. Dabei sind sowohl die erste Leiterbahnen **3** als auch zweite Leiterbahn **13** lediglich mit dem elektrisch isolierten Bereich **9** verbunden, während die Leiterbahnen **3**, **13** gegenüber dem übrigen Bereich des Halbleitersubstrates **1** vermöge der Isolationsschichten **4**, **10** elektrisch isoliert sind.

[0031] Die Fig. 5 zeigt, wie in einem weiteren Verfahrensschritt die untere Verdrahtungsebene bzw. die von der zweiten Leiterbahn **13** eingenommenen Oberflächenbereiche mit einer üblichen Passivierschicht **14** abgedeckt werden, wobei deren Abscheidung und Strukturierung aufgrund der geringen Topographie der zweiten Isolationsschicht **10** und der prozesskompatiblen Art der Rückseitenbearbeitung mit einem Standardverfahren der IC-Technologie erfolgen kann.

[0032] Nach dem Aufbringen der Passivierschicht **14** werden in diese dann bereichsweise zweite Ausnehmungen **15** bzw. zweite Kontaktfenster eingebracht, die eine elektrische Kontaktierung der zweiten Leiterbahnen **13** ermöglichen.

[0033] Die Fig. 6 zeigt wie in einem nachfolgenden Verfahrensschritt auf der Vorderseite **20** des Halbleitersubstrates **1** übliche Flip-Chip-Lötpunkte ("Flip-Chip Solder Bumps") in Kontaktbereichen **16** auf der Vorderseite des gemäß Fig. 5 entstandenen ersten Chips **17**, der beispielsweise ein ASIC ist, angebracht werden.

[0034] Die Fig. 7 zeigt schließlich eine sogenannte "Hukepack-Montage", wobei auf dem ersten Chip **17** eine weitere Chip-Komponente oder ein zweiter Chip **18**, der beispielsweise ein Sensorelement, ein Speicherelement, eine aktive ASIC-Baugruppe oder einen weiteren integrierten Schaltkreis aufweist, mit Hilfe einer Flip-Chip Chip-to-Chip-Montage montiert wird. Dabei bilden sich aus den Kontaktbereichen **16** verlötete Kontaktbereiche **16'**, die den ersten Chip mit dem zweiten Chip **18** elektrisch leitend verbinden, so dass eine dreidimensionale oder vertikale Integration von funktionellen Systemkomponenten erreicht worden ist.

#### Patentansprüche

1. Halbleitersubstrat mit mindestens einer auf dessen Vorderseite (**20**) verlaufenden ersten Leiterbahn (**3**), wobei aus dem Halbleitersubstrat (**1**) mittels mindestens eines Isolationsgrabens (**8**) mindestens ein gegenüber dem übrigen Halbleitersubstrat (**1**) elektrisch isolierter, zumindest im Wesentlichen aus dem Halbleitermaterial bestehender Bereich (**9**) herausstrukturiert ist, über den die erste Leiterbahn (**3**) von der Rückseite (**30**) des Halbleitersubstrates (**1**) elektrisch kontaktierbar ist.

2. Halbleitersubstrat nach Anspruch 1, dadurch gekennzeichnet, dass im Bereich der Vorderseite (**20**) des Halbleitersubstrates (**1**) eine mit der ersten Leiterbahn (**3**), insbesondere einer damit gebildeten oberen Verdrahtungsebene, in Verbindung stehende integrierte Schaltung (**2**) vorgesehen ist.

3. Halbleitersubstrat nach Anspruch 1, dadurch gekennzeichnet, dass es vorzugsweise vollständig, zumindest aber in dem elektrisch isolierten Bereich (**9**) aus einem elektrisch leitfähigen Halbleitermaterial, insbesondere dotiertem Silizium, besteht.

4. Halbleitersubstrat nach Anspruch 1, dadurch gekennzeichnet, dass der elektrisch isolierte Bereich (**9**)

in rückseitiger Draufsicht auf das Halbleitersubstrat (**1**) einen kreisförmigen, ellipsenförmigen, rechteckigen oder quadratischen Querschnitt aufweist, und dass der oder die Isolationsgräben (**8**) senkrecht von der Rückseite (**30**) zu der Vorderseite (**20**) des Halbleitersubstrates (**1**) umlaufend um den elektrisch isolierten Bereich (**9**) verlaufen.

5. Halbleitersubstrat nach Anspruch 1 oder 4, dadurch gekennzeichnet, dass zumindest der oder die Isolationsgräben (**9**) auf der Vorderseite (**20**) des Halbleitersubstrates (**1**) von einer ersten, elektrisch isolierenden Isolationsschicht (**4**), insbesondere einer Siliziumoxidschicht, einer Siliziumnitridschicht oder einer anderen in der IC-Technologie einsetzbaren Schicht, überdeckt sind.

6. Halbleitersubstrat nach Anspruch 5, dadurch gekennzeichnet, dass die erste Isolationsschicht (**4**) eine Umgebung der Isolationsgräben (**8**) und, abgesehen von einem Anschlussbereich (**6**), in dem die auf der Vorderseite (**20**) des Halbleitersubstrates (**1**) verlaufende erste Leiterbahn (**3**) mit dem elektrisch isolierten Bereich (**9**) elektrisch leitend verbunden ist, die der Vorderseite (**20**) des Halbleitersubstrates (**1**) zugewandte Seite des elektrisch isolierten Bereiches (**9**) überdeckt.

7. Halbleitersubstrat nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass die Rückseite (**30**) des Halbleitersubstrates (**1**) mit einer mit mindestens einer ersten Ausnehmung (**11**) versehenen, elektrisch isolierenden zweiten Isolationsschicht (**10**) versehen ist, die eine auf der Rückseite (**30**) des Halbleitersubstrates (**1**) verlaufende zweite Leiterbahn (**13**) von diesem elektrisch isoliert, wobei gleichzeitig die zweite Leiterbahn (**13**) über die erste Ausnehmung (**11**) mit dem elektrisch isolierten Bereich (**9**) elektrisch leitend verbunden ist.

8. Halbleitersubstrat nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass die auf der Rückseite (**30**) und/oder die auf der Vorderseite (**20**) verlaufende Leiterbahn (**3**, **13**) eine metallische Leiterbahn, eine Silicid-Leiterbahn oder eine Leiterbahn aus dotiertem Silizium ist.

9. Halbleitersubstrat nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass der oder die Isolationsgräben (**8**) eine Breite von 2 µm bis 6 µm aufweisen.

10. Halbleitersubstrat nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass der oder die Isolationsgräben (**8**) senkrecht zu der Ebene des Halbleitersubstrates (**1**) verlaufen und sich von dessen Rückseite (**30**) zu dessen Vorderseite (**20**) erstrecken.

11. Halbleitersubstrat nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass die zweite Isolationsschicht (**10**) auf der Rückseite (**30**) des Halbleitersubstrates (**1**) eine Dicke von 2 µm bis 10 µm, insbesondere 3 µm bis 8 µm, aufweist.

12. Halbleitersubstrat nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass die zweite Isolationsschicht (**10**) auf der Rückseite (**30**) des Halbleitersubstrates (**1**) den oder die Isolationsgräben (**8**) verschließt und deren Topographie einbuchtet oder die Rückseite (**30**) des Halbleitersubstrates (**1**) zumindest weitgehend planarisiert.

13. Halbleitersubstrat nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass auf der Rückseite (**30**) des Halbleitersubstrates (**1**) die zweite Leiterbahn (**13**) und/oder eine damit gebildete untere Verdrahtungsebene bereichsweise auf ihrer dem Halb-

leitersubstrat (1) abgewandten Seite mit einer Passivierschicht (14) abgedeckt ist, wobei die Passivierschicht (14) weiter zweite Ausnehmungen (14) aufweist, über die die zweite Leiterbahn (13) elektrisch kontaktierbar ist.

5

---

Hierzu 2 Seite(n) Zeichnungen

---

10

15

20

25

30

35

40

45

50

55

60

65

- Leerseite -

